

Anmerkung 25.01.2021:

Geschrieben mit AC1-Texteditor TPG und vom AC1 über den Emulator JKCEMU in Word gezaubert, die Umlaute konnte TPG damals mit meinem Zeichengenerator nicht. Also habe ich alle Umlaute aktualisiert und eine Grafik eingefügt. In der Datei: logik-txt-28-01-1990.bin ist das Original.

Beschreibung Logikanalysator Stand: 28.01.1990

Für manches Hardwareproblem, z.B. testen von Mikrorechnern, untersuchen von Zeitabläufen und anderen zeitkritischen Problemen kann eine Darstellung zur Analyse des Pegelverlaufes auf mehreren Signalleitungen sehr hilfreich sein. Entsprechende Analysatoren sind sehr teuer und für den Amateur wohl kaum erschwinglich. Für meinen konkreten Bedarf entstand eine Hard- und Softwarelösung, die eine Abtastung von TTL-Pegeln auf 8 Kanälen mit einer Taktfrequenz von 5 MHz als zur Zeit maximale Abtastrate realisiert. Die Information wird mit dieser oder einer wahlweise geringeren Abtastrate in einen statischen RAM U6516 eingelesen und kann danach beliebig oft untersucht werden. Zur Auswertung dient ein Mikrorechner auf U880- Basis oder ein 8- Kanal Multiplexervorsatz für Oszillographen. Ich benutze dazu den Amateurcomputer AC 1 - er steuert dabei alle Funktionen des Logikanalysators.

Hardware

Kernstück der Schaltung bildet ein statischer RAM. Ich benutze einen U6516 mit einer Zugriffszeit von 200 ns. Sollten schnellere Typen zugänglich sein, kann man die maximale Abtastrate entsprechend erhöhen. Die Datenleitungen des RAM liegen über je einen 8 Bit Bustreiber am Messobjekt (Daten schreiben) bzw. werden zur PIO des Rechners durch geschalteten Daten lesen). Die Anwahl des jeweiligen Datentreibers erfolgt durch Schalter S2 bzw. eine Leitung des PIO - Portes B. Dadurch wird ein statisches RS-Flip-Flop gesteuert, dessen Ausgänge geben dann entsprechenden Bustreiber frei. Ein Taktgenerator, bestehend aus einem D200, erzeugt die notwendige Grundfrequenz von 20 Mhz. Diese Frequenz gelangt über den Schalter S1 zur Teiler Kette, bestehend aus 2 DL193. Mit Schalter S3 kann die Abtastrate eingestellt werden.

Über eine Steuerlogik gelangt die Frequenz der Abtastrate zum Adresszähler (3x DL193). Diese bilden die Adressen A0 - A10 für den RAM und A11 als Statusleitung. Die Signale "Reset" und "Start" werden vom Rechner über zwei weitere Leitungen des PIO - Ports B gesteuert.

Der monostabile Multivibrator dient lediglich zur Anzeige des Lese- bzw. Schreibzustandes, da bei sehr geringen Abtastraten natürlich eine gewisse Zeit verstreicht bis die 2048 Messwerte gespeichert sind. Zum Lesen des RAM- Inhaltes muss ein externer Zählimpuls an den Eingang "Zählimpuls ext" angelegt werden. Dieser wird bei Rechnerkopplung über die PIO ausgegeben.

Ablauf Schreiben / Lesen RAM

- manuell die gewünschte Abtastrate einstellen (S3)
- Abtastraten Bereich: 200 ns; 400ns; 800 ns; 1,6 us; 3,2 us; 6,4 us; 12,8 us; 25,6 us;
- manuell den Schalter S2 in Stellung "Schreiben" stellen

Alle weiteren Steuerungen werden vom Rechner ausgeführt:

- auf Schreiben schalten;
- Reset für Adresszähler ausgeben;
- Startimpuls ausgeben;
- ständig Statusleitung abfragen, (ist der RAM vollständig beschrieben, schaltet Leitung A11 über eine Logik die Zählimpulse für den Adresszähler ab, dies erkennt der Rechner durch die Pegeländerung der Statusleitung). Die Änderung der Statusleitung hat zur Folge:
 - der Rechner schaltet auf Lesen um;
 - gibt Reset für den Adresszähler aus;
 - die Information wird vom RAM ausgelesen (dabei werden vom Rechner wie bereits oben geschrieben Zählimpulse ausgegeben);
 - es erscheint das Impulsdigramm der ersten 53 Byte auf dem Bildschirm.

Allgemeiner Aufbau

Die gesamte Schaltung wurde auf einer UNI- Leiterplatte aufgebaut und gemeinsam mit einem 8- Kanalmultiplexer in ein Gehäuse mit den Abmessungen 215 x 130 x 75 eingebaut.

Die Stromversorgung erfolgt extern oder vom zu untersuchenden Testobjekt.

Als Verbindung zum Rechner dient ein 25- poliger Cannon-Steckverbinder.

Da der Logikanalysator auch in Verbindung mit einem 8- Kanal-Multiplexer betrieben werden kann, ist ein Schalter für Schreiben/Lesen, sowie je ein Taster für Reset und Start an der Frontplatte angebracht.

Erweiterungshinweis

Sollte es sich erforderlich machen, einen Start des Logikanalysators beim Vorhandensein eines bestimmten, am Eingang anliegenden Datenwortes vorzusehen, kann der Eingang mit einem

8- Bit Komparator, z.B. vom Typ 74LS688, erweitert werden. Der Komparator vergleicht dabei ein mittels DIL- Schalter eingestelltes Datenwort mit den anliegenden Eingangsinformationen. Bei Gleichheit wird der Ausgang des Komparators (A=B) L- aktiv. Diese Information wird mit dem Eingang "Start" des Logikanalysators verknüpft. Beim Anliegen der eingestellten Bit Folge wird die Schaltung automatisch gestartet.

Software

Das Programm wurde für einen AC 1 geschrieben und belegt den Speicherplatz von:

2000H - 23F3H Programm Logikanalysator
2800H - 2FFFH Zwischenspeicher für Bildinhalt
3000H - 37FFH Messwertspeicher 1
3800H - 3FFFH Messwertspeicher 2

Es besitzt eine Bedienungsführung.

Nach dem Start auf Adresse 2000H erscheint ein Menübild:
(Pegelverläufe erscheinen erst nach einem Messvorgang.)

A0

A1

A2

A3

A4

A5

A6

A7

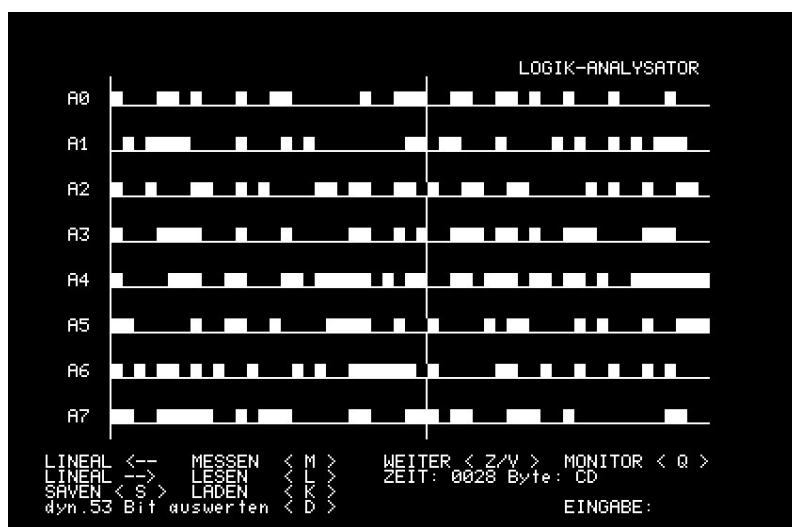
A8

LINEAL <-- MESSEN (M) WEITER (V/Z) MONITOR (Q)

LINEAL --> LESEN (L) ZEIT : Byte :

dyn. 53 Bit auswerten (D) Eingabe :

Dieses Menübild inklusive Software wurde in dem Beitrag für den Funkamateure 8/1992 erweitert:



Es sind die Funktionen Saven < S > und Laden < K > hinzugekommen.

Saven < S >: Speichern Messwertspeicher auf Kassette

Laden < K > Einlesen gespeicherter Messwerte

An der Bedienung und den Messabläufen hat sichich nichts geändert.

Arbeiten mit der Software

Der Logikanalysator wird mit dem Rechner über ein Kabel verbunden. Nach Anlegen der zu untersuchenden Informationen an den Eingang des Logikanalysators wird das Programm auf Adresse 2000H gestartet.

Es erscheint das Menübild.

Nun wird mit der Taste "M" der Messvorgang eingeleitet und die Information im Logikanalysator gespeichert.

Der Messvorgang wird gestoppt bei Erreichen der Adresse 2048 des RAM im Logikanalysator.

Der Rechner schaltet auf Lesen um.

Über PIO- Port A wird der RAM- Inhalt des Logikanalysators in den Rechner eingelesen.

Das Programm beginnt mit der Auswertung der ersten 53 Byte.

Für High Pegel wird ein weißes Grafikzeichen und für Low-Pegel ein Tiefstrich auf dem Bildschirm dargestellt.

Die Auswertung der eingelesenen Information erfolgt Byteweise.

Da bei dieser Auswertung der Messwertspeicher 1 zerstörend gelesen wird, muss die Information im Messwertspeicher 2 für weitere Auswertungen zwischengespeichert werden.

Mit den Tasten "V" und "Z" ist ein verschieben "Vorwärts" oder "zurück" möglich. Dies machte sich erforderlich, weil der AC 1 nur eine Pseudografik besitzt. Dadurch können immer nur 53 Byte folgend ausgewertet werden. Die restlichen Bildschirmpositionen je Zeile werden vom Diagrammaufbau belegt.

Durch ein spezielles Lineal, welches mit den Kursortasten nach rechts oder links bewegt werden kann, ist es möglich die Kanalinformationen der senkrechten Lineal Linie miteinander zu vergleichen. Das in der senkrechten Lineal Position entstehende Byte, (links vom Lineal), wird auf dem Bildschirm neben "Byte:" hexadezimal angezeigt.

Die angezeigte "Zeit:" entspricht der Stellung des Lineals von 1-2048. So lassen sich bei bekannten Abtastraten Zeiten zwischen bestimmten Informationen ermitteln.

Beispielsweise ergibt eine Differenz von 3 bei einer Abtastrate von 5 Mhz gleich 600 ns Zeitdifferenz.

Durch Betätigung der Taste "L" wird das RAM des Logikanalysators erneut ausgelesen.

Die Taste "D" ermöglicht eine dynamische Betriebsart des Logikanalysators mit dem Rechner. Dabei wird ständig zwischen den Betriebsarten Messvorgang in RAM Logikanalysator - Anzeigen der ersten 53 Byte und wieder zurück in den Messvorgang usw. gesteuert. Dadurch ist es möglich sich ändernde Kanalinformationen sofort erkennen zu können, dies ist z.B. bei zeitkritischen Einstellvorgängen von Vorteil.

Das Programm kann mit Q verlassen werden.

Bernd Jahn
Charlottenstrasse 1a/0102
BERLIN
O - 1 1 3 6

Berlin den 28.01.1990

Teilnahme am 5000 DM - Kreativwettbewerb

Mit meiner Einsendung:

LOGIKANALYSATOR

möchte ich mich am FA - Kreativwettbewerb beteiligen.

Bei meiner Einsendung handelt es sich um einen Logikanalysator, der in Verbindung mit einem Mikrorechner auf U880-Basis bei mir AC 1) oder einem 8- Kanalmultiplexervorsatz

Die maximale Abtastrate der Eingangsinformation beträgt 200ns.

Mein Vorschlag umfasst eine kurze Beschreibung der Hard- und Software des Logikanalysators.

Dem Vorschlag liegt die komplette Dokumentation:

- Schaltplan Logikanalysator
- Software bestehend aus:
 - kommentierter Assemblerliste
 - Hexdump mit ASCII- Interpretation
 - Hexdump mit CRC- Prüfsumme
- Beschreibungen der Hard- und Software

bei.

Ich erkläre, dass ich der geistige Urheber dieser vorgestellten Variante bin.

Bernd Jahn